

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-217944

(43)Date of publication of application : 30.08.1990

(51)Int.Cl.

G06F 12/08

G06F 12/08

(21)Application number : 01-038242 (71)Applicant : TOSHIBA CORP

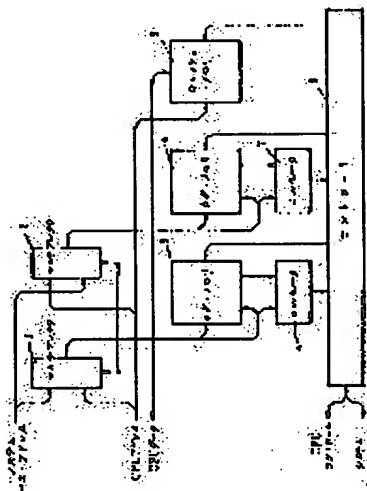
(22)Date of filing : 20.02.1989 (72)Inventor : SAWADA MITSUO

(54) BUS MONITORING DEVICE IN CACHE MEMORY

(57)Abstract:

PURPOSE: To duplicate the limitation of a CPU access cycle as compared to an ordinary one and to execute rapid processing by using tag memories, multiplexers and comparators to duplicate monitoring constitution.

CONSTITUTION: The bus monitoring device is provided with two multiplexers 1, 2 for switching the system address side and the CPU address side, two tag memories 3, 4 for respectively storing addresses obtained when a CPU reads out the main memory and to comparators 6, 7 for respectively comparing the contents of the tag memories 3, 4 with a system bus or a CPU address. The access cycle time of the CPU is made to coincide with that of the tag memories 3, 4. Consequently, the processing speed of the bus monitoring device can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-217944

⑮ Int. Cl.⁵

G 06 F 12/08

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月30日

M
G
3 1 0 Z

7010-5B
7010-5B
7010-5B

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 キャッシュメモリにおけるバス監視装置

⑯ 特 願 平1-38242

⑰ 出 願 平1(1989)2月20日

⑱ 発 明 者 沢 田 充 雄 東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

キャッシュメモリにおけるバス監視装置

2. 特許請求の範囲

CPUが主メモリをアクセスしたときのデータを格納するキャッシュメモリと、CPUが主メモリをリードしたときのアドレスをそれぞれ格納する2組のタグメモリと、この2組のタグメモリをCPUのアクセスとシステムバスのアクセスの監視にそれぞれ切替える2組のマルチプレクサと、前記2組のタグメモリのアドレスとCPUアドレス、システムバスアドレスとをそれぞれ比較する2組のコンパレータと、前記2組のマルチプレクサの切換えおよび前記タグメモリと前記キャッシュメモリのリード・ライトを制御するコントローラとを具備したことを特徴とするキャッシュメモリにおけるバス監視装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、主メモリ等とキャッシュメモリとの間で不一致を防止するキャッシュメモリにおけるバス監視装置に関する。

(従来の技術)

一般にキャッシュメモリ9は、第5図に示すように、CPU10と主メモリ9の間に介在し、CPU10が低速の主メモリ9をリードしたとき、同時にデータを高速のキャッシュメモリ11に格納しており、再度CPU10が同一アドレスをリードしたときは、キャッシュメモリ11からデータを読み出すことによりCPU10のメモリアccessを高速化する。

バス監視機能は、主メモリ9とキャッシュメモリ11との間でデータ不一致が生じないようにする方法の1つであって、DMA12等の他のバスマスタが主メモリのデータを変更しようとするとき、もしそのデータがキャッシュメモリ11にコピーされていた場合は、キャッシュメモリ11のそのデータを無効とする機能である。

このようなバス監視機能を行なう従来例を第3

図に示す。第3図において、タグメモリ13は主メモリをリードしたときのアドレスを、キャッシュメモリ11は主メモリをアクセスしたときのデータを格納しておく。

CPUからのアクセスとシステムバスの監視は、1つのタグメモリ13をマルチプレクサ14で切替えて交互に使用する。CPUからのアクセスのときは、マルチプレクサ14をCPUアドレス側として、タグメモリ13の内容とCPUアドレス出力をコンパレータ15で比較し、一致した場合においてCPUからのアクセスがリードならば、このアドレスに対応するキャッシュメモリ11のデータをCPUへ伝送する。システムバス監視について説明すると、マルチプレクサ14をシステムバスアドレス側とし、タグメモリ13の内容とシステムバスアドレスをコンパレータで比較し、一致した場合でシステムバス上のアクセスがライトならば、そのタグメモリの内容を無効値とする。

(発明が解決しようとする課題)

上記のようなバス監視装置では、第4図に示す

ように、CPUのアクセスサイクルTの1/2がタグメモリのアクセスサイクルとなり、換言すればタグメモリ13のアクセスサイクルの最小値の2倍がCPUアクセスサイクルの限界となり、高速化を図ることができなかった。

本発明は、このような事情により発明されたもので、CPUのアクセス速度を高速化することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、システムバスアドレス側とCPUアドレス側とを切替える2組のマルチプレクサと、2組のタグメモリおよびコンパレータとを備えて、CPUのアクセスサイクル時間とタグメモリのアクセスサイクル時間とを同一にしてバス監視装置の処理速度を高めることを特徴とする。

(作用)

CPUのアクセスサイクル時間とタグメモリのアクセスサイクル時間が同一となった。

(実施例)

次に本発明の一実施例を示す第1図、第2図について本発明の詳細を説明する。

第1図は本発明の構成を示すブロック図で、システムバスアドレス側とCPUアドレス側とを切り換える2組の第1のマルチプレクサ1と第2のマルチプレクサ2と、CPUが主メモリをリードしたときのアドレスを各々格納する2組の第1タグメモリ3と第2のタグメモリ4とを備えている。

さらに、上記2組の第1および第2のタグメモリ3、4の内容とシステムバス又はCPUアドレスとを各々比較する2組の第1のコンパレータ6と第2のコンパレータ7を有する。5はキャッシュメモリである。

コントローラ8は2組のマルチプレクサ1、2の切換えや、2組のタグメモリ3、4およびキャッシュメモリ5のリードおよびライトの制御を行なう。

次に図面について本発明の動作を説明する。

2組の第1および第2のマルチプレクサ1、2はマルチプレクサ、例えば第1のマルチプレクサ1

がシステムバスアドレス側ならば、他方のすなわち第2のマルチプレクサ2はCPUアドレス側と常に互いに反対側に切換るようにコントローラ8によって制御されている。

したがって、2組の第1のタグメモリ3と第2のタグメモリ4はCPUからのアクセスとシステムバスからのアクセスの監視が交互に入れ変わる。これに2組の第1のコンパレータ6と第2のコンパレータ7との接続をみると、第1のマルチプレクサ1と第1のタグメモリ3と第1のコンパレータ6とが、第2のマルチプレクサ2と第2のタグメモリ4と第2のコンパレータ7とがそれぞれ組となる。

まずCPUからのアクセスについて説明すると、CPUからのアクセスは第1又は第2のマルチプレクサ1、2のうちCPUアドレス側に切り換えている組で調べられる。

すなわち、2組のタグメモリ3又は4の内容とCPUアドレスを2組のコンパレータ6又は7で比較し、一致したとき、CPUのアクセスがリー

ドの場合は、このアドレスに対応するキャッシュメモリ5のデータをCPUに伝送し、CPUアクセスがライトのときはこのアドレスに対応するキャッシュメモリのデータをCPUの出力データに更新し、主メモリも更新される。

比較により不一致で、CPUアクセスがリードの場合は、2組のタグメモリ3又は4とキャッシュメモリ5を主メモリをリードした値にそれぞれ更新する。この場合、主メモリのアクセスサイクルは通常、タグメモリ3又は4のアクセスサイクルの倍数となる為、双方のタグメモリ3、4が更新される。

比較により不一致でCPUアクセスがライトの場合は主メモリのみ更新される。

次にシステムバスの監視について説明すると、2組のマルチプレクサ1、2のうちシステムバス側に切り換わっている組で行なわれる。

システムバスのアクセスがあると、第1又は第2のタグメモリ3、4の何れかの内容とシステムバスからのアドレスとを2組の第1又は第2のコ

ンパレータ6、7のいずれかで比較し、一致であってシステムバスのアクセスがライトの場合は、第1、第2のタグメモリ3、4のいずれかの内容を無効値とする。この場合、システムバスのアクセスサイクルは通常、第1、第2のタグメモリ3、4のアクセスサイクルの倍数となる為、第1、第2のタグメモリ3、4の双方が無効値に更新される。

不一致か又はシステムバスのアクセスがリードの場合は双方の第1、第2のタグメモリ3、4の更新は行なわない。

上記のような、第1、第2のタグメモリ3、4のアクセスサイクルとCPUのアクセスサイクルの関係は第2図のタイミングチャートに示されている。この図から明らかなようにCPUのアクセスサイクルとタグメモリのアクセスサイクル時間が同一となる。換言すれば、2組のタグメモリ3、4の各々のアクセスサイクルの最小値がCPUのアクセスサイクルの限界となる。

すなわち、CPUのアクセスサイクルの限界を

従来例の2倍とすることができ、高速化を図ることができる。

〔発明の効果〕

この発明によれば、タグメモリ、マルチプレクサ、コンパレータからなる監視構成を2重化することにより、CPUのアクセスサイクルの限界を従来例の2倍とすることができるので、高速処理を行なうことができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例を示すブロック図、第2図は本発明の動作を示すタイミングチャートである。

第3図は、従来例の構成を示すブロック図、第4図はその動作を示すタイミングチャート、第5図はキャッシュメモリを用いた従来のシステム構成を示すブロック図である。

1…第1のマルチプレクサ、2…第2のマルチプレクサ、3…第1のタグメモリ、4…第2のタグメモリ、5…キャッシュメモリ、6…第1のコンパレータ、7…第2のコンパレータ、8…コン

ローラ

代理人弁理士 則近 憲佑
同 山下 一

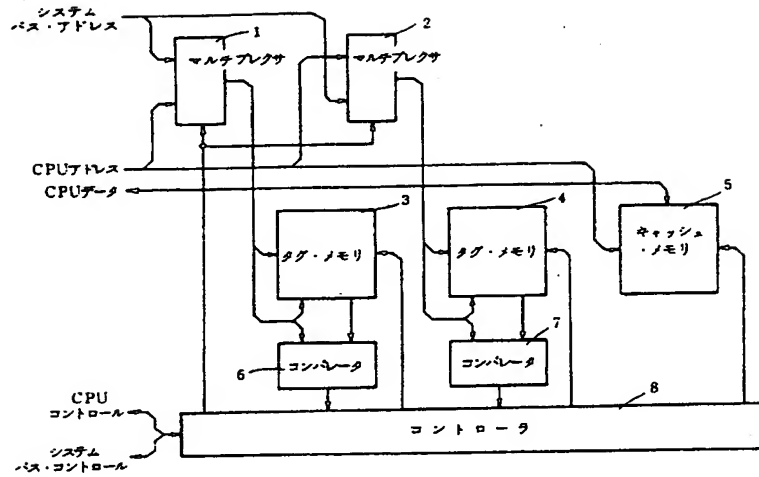


図 1 図

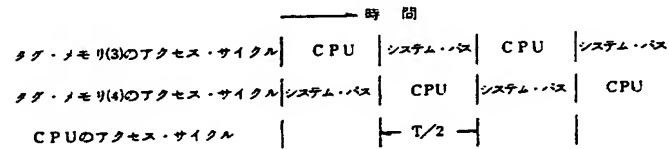


図 2 図

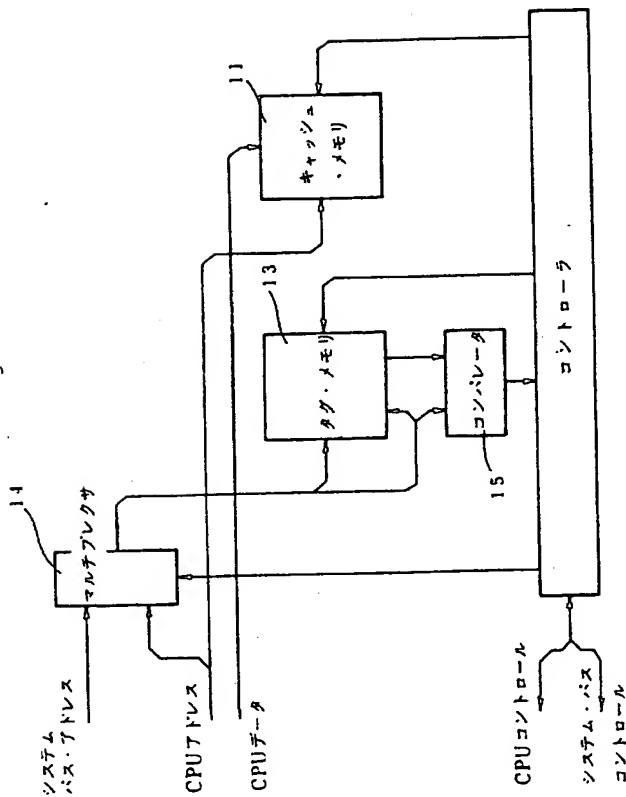


図 3 図

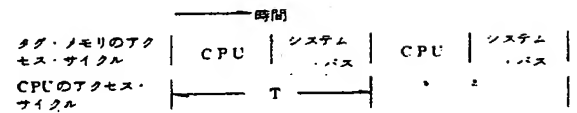


図 4 図

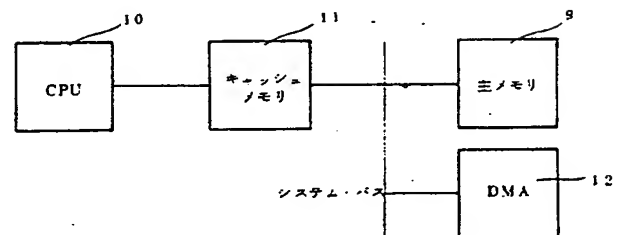


図 5 図